

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-308204

(43)Date of publication of application : 05.11.1999

(51)Int.Cl.

H04L 7/02

H03K 5/00

(21)Application number : 10-108189

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 17.04.1998

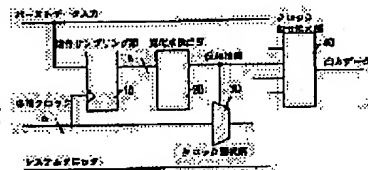
(72)Inventor : NAKAO MASATOSHI  
INAGAKI YOSHIO

## (54) BIT SYNCHRONIZATION CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a data output synchronizing with a system clock from an inputted burst signal without the use of an elastic buffer or the like.

**SOLUTION:** A signal sampling section 10 samples an inputted burst signal in a multiphase clock to generate multiphase data streams. A change point detection section 20 detects a change point of the burst signal by comparing adjacent phase data among the multiphase data streams. A clock selection section 30 selects an optimum identification clock that is optimum to identify the burst signal among the multiphase clocks based on the phase information detected by the change point detection section 20. A clock replacement section 40 applies processing to replace the burst signal to a system clock based on the optimum identification clock and the phase information.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] A signal sampling means to sample the burst signal inputted with the clock of a polyphase, and to generate the data stream of a polyphase, A change check appearance means to detect the changing point of said burst signal by comparing the data of a phase with which it adjoins of the data streams of said polyphase, A clock selection means to choose the optimal optimal discernment clock for discernment of said burst signal from the clocks of said polyphase based on the topology corresponding to the changing point detected by said change check appearance means, The bit synchronization circuit characterized by providing a clock \*\*\*\* substitute means to carry and change said burst signal to a system clock based on said optimal discernment clock and said topology.

[Claim 2] A clock \*\*\*\* substitute means is a bit synchronization circuit according to claim 1 characterized by being constituted by the 1st discernment means which identifies said burst signal with said optimal discernment clock, delay means to delay the output data of said 1st discernment means the optimal to said system clock based on said topology, and the 2nd discernment means which identifies the output data of said delay means with said system clock.

[Claim 3] A delay means is a bit synchronization circuit according to claim 2 characterized by being constituted by operation means to perform EXCLUSIVE OR operation of MSB of said topology, and said system clock, and the 3rd discernment means which identifies the output data of said 1st discernment means using the result of an operation of said operation means.

[Claim 4] A delay means is a bit synchronization circuit according to claim 2 characterized by being constituted by at least two delay circuits which give a respectively different time delay to the output data of said 1st discernment means, and delay output selection means to choose any one output of said delay circuit based on said topology.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the bit synchronization circuit which can obtain the

input signal which synchronized with the system clock in detail with respect to the burst signaling bit synchronous circuit which reproduces the signal concerned synchronizing with the phase of a burst signal, without using addition means, such as an ERASU tick buffer.

[0002]

[Description of the Prior Art] In synchronous processing of a burst signal, it is necessary to detect the discernment phase which identifies each burst signal the optimal within the period of a short preamble, and to identify a data stream with the optimal phase. The circuit indicated by JP,9-36849,A is known as an example of the bit synchronization circuit of this kind of burst signal. The circuit sampled the burst signal inputted with the clock of a polyphase, and chooses the optimal discernment clock by detecting the changing point of a burst signal, and discernment of the input burst signal in the optimal phase was conventionally [ this ] possible for it using this discernment clock.

[0003] The phase of the burst signal inputted changes for every burst here, and, as for the optimal phase, changing for every burst signal is common. And since the data outputted are struck by the clock of the optimal phase and it is outputted, the phase of output data will change for every burst. On the other hand, the system clock used within a system is always fixed.

[0004] For this reason, conventionally [ above-mentioned ], when using within a system the burst signal identified with the optimal phase, the clock \*\*\*\* substitute circuit which puts the burst signal concerned on a system clock, and changes it was used together in the circuit. Especially the clock \*\*\*\* substitute circuit [ in / conventionally / this / a circuit ] was realized by the configuration which added the ERASU tick buffer which holds the burst signal identified with the optimal phase according to the phase of a system clock.

[0005]

[Problem(s) to be Solved by the Invention] Thus, discernment of the input burst signal in the optimal phase was possible by choosing the optimal discernment clock to a burst signal, and using this discernment clock in the conventional bit synchronization circuit which is indicated by JP,9-36849,A.

[0006] However, as a result of the phase of the burst signal inputted changing for every burst and the optimal phase's changing in connection with this, the phase of the data outputted was also changing for every burst. Thereby, conventionally, an addition means like an ERASU tick buffer was needed for the latter part of a circuit separately, and the trouble that circuit structure was complicated was in the data \*\*\*\* sake which synchronized with a certain fixed system clock in the circuit.

[0007] This invention aims at offering the bit synchronization circuit which can obtain the data output which synchronized with the system clock to the burst signal inputted, without removing the above-mentioned trouble and using addition means, such as an ERASU tick buffer.

[0008]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, invention of claim 1 A signal sampling means to sample the burst signal inputted with the clock of a polyphase, and to generate the data stream of a polyphase, A change check appearance means to detect the changing point of said burst signal by comparing the data of a phase with which it adjoins of the data streams of said polyphase, A clock selection means to choose the optimal optimal discernment clock for discernment of said burst signal from the clocks of said polyphase based on the topology corresponding to the changing point detected by said change check appearance means, It is characterized by providing a clock \*\*\*\* substitute means to carry and change said burst signal to a system clock based on said optimal discernment clock and said topology.

[0009] Invention of claim 2 is characterized by to constitute a clock \*\*\*\* substitute means by the 1st discernment means which identifies said burst signal with said optimal discernment clock, delay means delay the output data of said 1st discernment means the optimal to said system clock based on said topology, and the 2nd discernment means which identifies the output data of said delay means with said system clock in invention of claim 1.

[0010] Invention of claim 3 is characterized by constituting a delay means by operation means to

perform EXCLUSIVE OR operation of MSB of said topology, and said system clock, and the 3rd discernment means which identifies the output data of said 1st discernment means using the result of an operation of said operation means in invention of claim 2.

[0011] Invention of claim 4 is characterized by constituting a delay means by at least two delay circuits which give a respectively different time delay to the output data of said 1st discernment means, and delay output selection means to choose any one output of said delay circuit based on said topology in invention of claim 2.

[0012]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail with reference to an accompanying drawing. Drawing 1 is the block circuit diagram showing the whole bit synchronization circuit configuration concerning this invention. This bit synchronization circuit samples the burst data inputted with the clock of a polyphase. Based on the topology detected by the signal sampling section 10 which generates the data stream of a polyphase, the changing point detecting element 20 which detects by comparing the data of a phase with which it adjoins of the data streams of a polyphase, the changing point, i.e., the phase, of the above-mentioned burst data, and the changing point detecting element 20 It is based on the clock chosen by the clock selection section 30 which chooses the optimal clock for identifying the above-mentioned burst data in the clock of the above-mentioned polyphase, and the clock selection section 30, and the topology acquired by the changing point detecting element 20. The clock \*\*\*\*\* substitute section 40 which carries and changes the above-mentioned burst data to a system clock is provided, and it is constituted.

[0013] Drawing 2 is the circuit diagram showing the configuration of the important section 10 of the bit synchronization circuit in drawing 1, i.e., the signal sampling section, the changing point detecting element 20, and the clock selection section 30. The signal sampling section 10 is a function part which uses for each the clocks CLK1-CLK8 of the polyphase which possesses D flip-flops (it is hereafter called DFF for short) 101a-101h, and is constituted, for example, is generated from a system clock, and samples burst data among these each part.

[0014] Drawing 3 is the timing chart of each signal concerning this signal sampling action. At the time of a burst entry of data, each DFF(s) 101a-101h are striking the above-mentioned input data [this drawing (a)] with the polyphase clocks CLK1-CLK8 [ drawing 3 (b) - (g)] given according to an individual, and output the data of Q1-Q8 [this drawing (h) - (m)] to each. In addition, in this example, for convenience, although the clock of eight phases is used, this invention is not the thing of explanation which restricts the source resultant pulse number of a polyphase clock to eight phases.

[0015] The polyphase data Q1-Q8 sampled in the signal sampling section 10 are inputted into the changing point detecting element 20 of the next step. The changing point detecting element 20 detects the changing point of the above-mentioned burst data by comparing the data of a contiguity phase about the polyphase data Q1-Q8 inputted.

[0016] About this change check appearance processing; the contiguous data Q1 and Q2 which they are as a result of [ based on CLK1 and CLK2 in the signal sampling section 10 ] a sampling are mentioned as an example, and are explained. Drawing 4 is drawing showing the basic configuration of the circuit concerning the change check appearance processing in this case, and is constituted by NOR-circuit 201a (component of the changing point detecting element 20) which outputs DFF(s) 101a and 101b (component of the signal sampling section 10) which output the polyphase data Q1 and Q2 as a sampling result, respectively, and the signal equivalent to NOR (inverted OR) of these output data Q1 and Q2.

[0017] Moreover, drawing 5 and drawing 6 are the timing charts of each signal concerning change check appearance actuation of the basic component circuit in drawing 4, and drawing 6 is involved in actuation in case there is no changing point of data in the middle of the standup of CLK1, and the standup of CLK2 with respect to actuation in case especially drawing 5 has the changing point of data in the middle of the standup of CLK1, and the standup of CLK2.

[0018] When there is a changing point of input data in the middle of the standup of CLK1 [this drawing

(b)], and the standup of CLK2 [this drawing (c)] so that drawing 5 may also show, the input data [this drawing (a)] struck by these [ CLK1 and CLK2 ] is outputted as Q1 [this drawing (d)] and Q2 [this drawing (e)], respectively. Here, by taking RQ2 [this drawing (f)] and Q1 itself which is the reversal signal of Q2, and CLK1 and NOR by NOR-circuit 201a, when there is a changing point of data in the middle of the standup of CLK1, and the standup of CLK2, the change check appearance pulse [this drawing (g)] used as "H" level can be outputted.

[0019] On the other hand, as shown in drawing 6 , when there is no changing point of input data [this drawing (a)] in the middle of the standup of CLK1 [this drawing (b)], and the standup of CLK2 [this drawing (c)] When RQ2 [this drawing (f)] which is the reversal signal of Q2 [this drawing (e)], QNOR-circuit 2011 [this drawing (d)] itself, and CLK1 and NOR are taken by a, the change check appearance pulse [this drawing (g)] which is the output of NOR-circuit 201a will hold "L" level.

[0020] The change check appearance circuit 20 which outputs the change check appearance pulse which serves as "H" level when there is a changing point of data in the middle of the standup of the clock of a certain adjoining phase so that the above explanation may also show is realizable with a basic configuration as shown in drawing 4 . The circuit which put in order only the number equivalent to the source resultant pulse number of the polyphase clock which uses this basic configuration is circuitry of drawing 2 , and in this case, even if the changing point of input data exists in which phase of the phases of eight phases, it becomes detectable [ the changing point of input burst data ].

[0021] The pulse which shows the detected changing point needs to carry out fixed time amount maintenance of the pulse concerned, in order to choose the optimal clock since only short time amount exists so that drawing 5 may also show. An example holding the information which shows this changing point of a circuit is shown in drawing 7 . In this example, each change check appearance pulses P1-P8 were inputted, and the OR of each [ these ] change check appearance pulses P1-P8 was taken by OR circuit 202, it outputted as a clock PCLK, and the configuration which latches the inputted change check appearance pulses P1-P8 is taken by incorporating this clock PCLK on a DFF(s) [ 203a-203h ] clock.

[0022] Drawing 8 is \*\* and an example at the time of being especially aimed at the change check appearance pulse P1 [this drawing (a)] and P2 [this drawing (b)] in the timing chart of each signal concerning actuation of this changing point detecting element 20. If a certain change check appearance pulse (P1, P2) changes to "H" level as shown also in this drawing, the change check appearance pulse will pass along OR circuit 202, will be delayed as PCLK [this drawing (c)], and will be inputted into the clock terminal of DFF203. Consequently, a change check appearance pulse is latched. Finally the latched signal [the P1Q and P2Q:said drawing (d) and (e)] is encoded with an encoder 204, and it outputs as topology [this drawing (f)].

[0023] Furthermore, the selector 301 (refer to drawing 2 ) is formed in the latter part of this encoder 204. Thereby, the optimal clock for discernment can be easily chosen through the selector 301 concerned based on the above-mentioned topology.

[0024] The discernment clock chosen by this selector 301 is further inputted into the latter clock \*\*\*\* substitute section 40. The clock \*\*\*\* substitute section 40 identifies burst data with the optimal clock, and performs after that processing which carries and changes the burst data concerned to a system clock based on the above-mentioned topology.

[0025] Drawing 9 is the circuit diagram showing an example of the clock \*\*\*\* substitute section 40 concerning this invention, and is constituted by DFF403 which considers the output and system clock of DFF402 and DFF402 which consider an exclusive OR with MSB (Most Significant Bit: most significant bit) of the output of DFF401 and DFF401 which consider burst data and the optimal discernment clock as an input, a system clock, and topology as an input as an input, and the exclusive "or" circuit 404 which performs EXCLUSIVE OR operation of a system clock and MSB of topology.

[0026] It explains with reference to the timing chart which shows circuit actuation of this clock \*\*\*\* substitute section 40 to drawing 10 and drawing 11 . Here, the difference of the timing chart of drawing

10 and drawing 11 is in the point that CLK6 is inputted, by the latter as optimal discernment data for identifying the burst data of DFF401 at the former to CLK4 of the polyphase clocks CLK1–CLK8 being inputted.

[0027] The clock \*\*\*\* substitute section 40 identifies burst data with the optimal discernment clock, and although the data after this discernment are further carried and changed to a system clock, it is decided by phase relation between the optimal discernment clock and a system clock in that case whether the data after the above-mentioned discernment can be struck with a system clock. Giving drawing 10 and two examples of drawing 11 as a timing chart of this circuit of operation considers explanation of this point.

[0028] Generally, since a polyphase clock is generated from a system clock, it has phase relation with fixed system clock and polyphase clock. In the following explanation, CLK7 of the polyphase clocks CLK1–CLK8 shall be the completely same phase as a system clock as an example.

[0029] When the optimal discernment clock given from the clock selection section 30 in this premise is CLK4 (also in case of the same as when it is CLK 1, 2, and 3), As shown in drawing 10 , about the data Qopt [this drawing (d)] which identified and obtained the burst data input [this drawing (a)] by DFF401 based on the above CLK4 [this drawing (b)] Since a system clock CLK7 [this drawing (c)] starts near the center section of the data Qopt concerned, it is possible to strike with the system clock CLK7 concerned.

[0030] On the other hand, when the optimal discernment clock given from the clock selection section 30 is CLK6 (also in case of the same as when it is CLK 5, 7, and 8), As shown in drawing 11 , the data Qopt [this drawing (d)] which identified and obtained the burst data input [this drawing (a)] by DFF401 based on the above CLK6 [this drawing (b)] Since the changing point of data will be greeted near the standup of a system clock CLK7 [this drawing (c)], it may be unable to strike with the system clock CLK7 concerned.

[0031] Thus, by this invention, topology is used with the phase relation between the optimal discernment clock and a system clock as a solution of it becoming impossible for the data after discernment to strike with a system clock. That is, topology is expressing eight kinds of phases of CLK1–CLK8 by the triplet as the following.

[0032] CLK1 → topology "000"

CLK2 → topology "001"

CLK3 → topology "010"

CLK4 → topology "011"

CLK5 → topology "100"

CLK6 → topology "101"

CLK7 → topology "110"

CLK8 → topology "111"

Therefore, MSB of this topology is set to "L" from CLK1 by CLK4, and is set to "H" from CLK5 by CLK8. It enables it to strike with a system clock finally by setting up delay of data using this MSB also about the data identified with what kind of clock.

[0033] In the configuration of the clock \*\*\*\* substitute section 40 shown in drawing 9 , DFF402 and an exclusive "or" circuit 404 are equivalent to the part which manages a delay setup of the above-mentioned data. That is, in this clock \*\*\*\* substitute section 40, the data struck, the output data, i.e., optimal discernment clock, of DFF401, are again inputted into DFF402. This clocked into of DFF402 is an output of an exclusive "or" circuit 404, and serves as the signal CLK0 which took the exclusive OR of a system clock (CLK7) and MSB of topology, and reversed logic. According to this configuration, when MSB of topology is "L", namely, as the optimal discernment clock shows drawing 10 from CLK1 at the time of CLK4, the clocked into CLK0 of DFF402 [this drawing (e)] becomes CLK7 themselves, and can reproduce data correctly.

[0034] On the other hand, when MSB of topology is "H", namely, as the optimal discernment clock

shows drawing 11 from CLK5 at the time of CLK8, the clocked into CLK0 of DFF402 [this drawing (e)] serves as an opposite phase of CLK7, and data can be correctly reproduced like the time of MSB of topology being "L." And the data output to a system clock by which it carried and the substitute was made can be obtained by hitting again this output Qsys0 of DFF402 [ drawing 10 (f) and drawing 11 (f)] again with a system clock (CLK7) [ drawing 10 (g) and drawing 11 (g)].

[0035] In addition, in the circuitry shown in drawing 9 , although the approach of switching a clock is adopted using MSB and the exclusive OR of topology, a general selector may be used for a switch of such a clock. Furthermore, circuitry as shown in drawing 12 as an option is also possible. Clock \*\*\*\* substitute section 40A in this drawing is taken as the configuration which chooses by the selector 414 based on the topology which mentioned above the output data of these delay circuits 412 or a delay circuit 413 after dividing into two paths of a delay circuit 412 and a delay circuit 413 the data Qopt identified with the optimal discernment clock by DFF411 and setting the difference of the time delay between these 2 paths as half-clock extent, and is further identified with a system clock by DFF415. [0036]

[Effect of the Invention] As explained above, according to this invention, the changing point of the above-mentioned burst data is detected from the data stream of the polyphase which it is as a result of [ with the clock of the polyphase to the burst data to input ] a sampling. After establishing the bit synchronization to burst data using the optimal discernment clock chosen based on the information on this changing point, Furthermore, since it uses that fixed phase relation between a polyphase clock and a system clock is, the data after the above-mentioned bit synchronization establishment are put on a system clock after being delayed the optimal based on the above-mentioned phase relation, and it was made to change, It has the advantage that the burst signal reception output which synchronized with the system clock can be obtained, without using addition means, such as an external ERASU tick buffer.

---

[Translation done.]

#### \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS.

---

##### [Brief Description of the Drawings]

[Drawing 1] The block circuit diagram showing the whole bit synchronization circuit configuration concerning this invention.

[Drawing 2] The circuit diagram showing the configuration of the important section of a bit synchronization circuit.

[Drawing 3] The timing chart of each signal concerning actuation of the signal sampling section in drawing 2 .

[Drawing 4] The circuit diagram showing the basic configuration of the changing point detecting element of a bit synchronization circuit.

[Drawing 5] The timing chart of each signal concerning actuation to timing with a changing point detecting element.

[Drawing 6] The timing chart of each signal concerning actuation to another timing of a changing point

detecting element.

[Drawing 7] The circuit diagram showing the configuration of the changing point detecting element of a bit synchronization circuit.

[Drawing 8] The timing chart of each signal concerning actuation of a changing point detecting element.

[Drawing 9] The circuit diagram showing the example of 1 configuration of the clock \*\*\*\* substitute section of a bit synchronization circuit.

[Drawing 10] The timing chart of each signal concerning actuation to timing with the clock \*\*\*\* substitute section.

[Drawing 11] The timing chart of each signal concerning actuation to another timing of the clock \*\*\*\* substitute section.

[Drawing 12] The circuit diagram showing other examples of a configuration of the clock \*\*\*\* substitute section of a bit synchronization circuit.

[Description of Notations]

10 Signal Sampling Section

101a-101h D flip-flop (DFF)

20 Changing Point Detecting Element

201a-201h NOR (inverted OR) circuit

202 OR (OR) Circuit

203a-203h D flip-flop (DFF)

204 Encoder

30 Clock Selection Section

301 Selector

40 40A Clock \*\*\*\* substitute section

401 402,403,411,415 D flip-flop (DFF)

404 Exclusive "or" Circuit

412,413 Delay circuit

414 Selector

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-308204

(43) 公開日 平成11年(1999)11月5日

(51) Int.Cl.<sup>6</sup>

識別記号

H 0 4 L 7/02

H 0 3 K 5/00

F I

H 0 4 L 7/02

H 0 3 K 5/00

Z

G

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願平10-108189

(22) 出願日 平成10年(1998)4月17日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中尾 雅俊

東京都日野市旭が丘3丁目1番地の1 株

式会社東芝日野工場内

(72) 発明者 稲垣 良男

東京都日野市旭が丘3丁目1番地の1 株

式会社東芝日野工場内

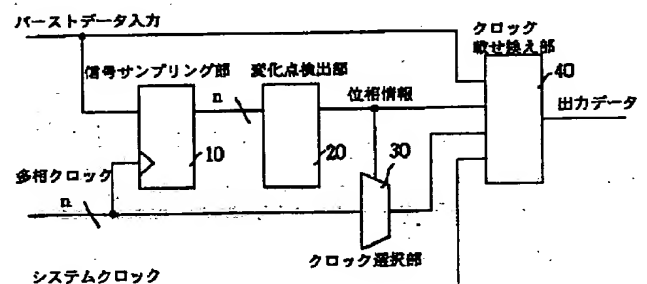
(74) 代理人 弁理士 木村 高久

(54) 【発明の名称】 ビット同期回路

(57) 【要約】

【課題】 エラスティックバッファ等を用いることなく、入力バースト信号からシステムクロックに同期したデータ出力を得られるようにする。

【解決手段】 信号サンプリング部10は、入力されるバースト信号を多相のクロックでサンプリングし、多相のデータ列を生成する。変化点検出部20は、多相のデータ列のうちの隣接する位相のデータを比較することにより上記バースト信号の変化点を検出する。クロック選択部30は、変化点検出部20により検出された位相情報を基に、上記多相のクロックの中から上記バースト信号の識別に最適な最適識別クロックを選択する。クロック載せ換え部40は、上記最適識別クロックと位相情報とに基づき上記バースト信号をシステムクロックに載せ換える処理を行う。



(2)

## 【特許請求の範囲】

【請求項1】 入力されるバースト信号を多相のクロックでサンプリングし、多相のデータ列を生成する信号サンプリング手段と、

前記多相のデータ列のうちの隣接する位相のデータを比較することにより前記バースト信号の変化点を検出する変化点検出手段と、

前記変化点検出手段により検出された変化点に対応する位相情報を基に、前記多相のクロックの中から前記バースト信号の識別に最適な最適識別クロックを選択するクロック選択手段と、

前記最適識別クロックと前記位相情報とに基づき前記バースト信号をシステムクロックに載せ換えるクロック載せ換え手段とを具備することを特徴とするビット同期回路。

【請求項2】 クロック載せ換え手段は、前記最適識別クロックにより前記バースト信号を識別する第1の識別手段と、

前記第1の識別手段の出力データを前記位相情報に基づき前記システムクロックに対して最適に遅延させる遅延手段と、

前記遅延手段の出力データを前記システムクロックにより識別する第2の識別手段とにより構成されることを特徴とする請求項1記載のビット同期回路。

【請求項3】 遅延手段は、前記位相情報のMSBと前記システムクロックとの排他的論理和演算を行う演算手段と、

前記第1の識別手段の出力データを前記演算手段の演算結果を用いて識別する第3の識別手段とにより構成されることを特徴とする請求項2記載のビット同期回路。

【請求項4】 遅延手段は、前記第1の識別手段の出力データに対して各々異なる遅延時間を付与する少なくとも2つの遅延回路と、

前記位相情報に基づき前記遅延回路のいずれか1つの出力を選択する遅延出力選択手段とにより構成されることを特徴とする請求項2記載のビット同期回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、バースト信号の位相に同期して当該信号の再生を行うバースト信号ビット同期回路に係わり、詳しくは、エラスティックバッファ等の付加手段を用いることなくシステムクロックに同期した受信信号を得ることのできるビット同期回路に関する。

## 【0002】

【従来の技術】バースト信号の同期処理においては、短いプリアンプの期間内に各バースト信号を最適に識別する識別位相を検出し、最適位相でデータ列の識別を行う必要がある。この種のバースト信号のビット同期回路の一例として、例えば、特開平9-36849号公報に

2

記載される回路が知られている。この従来回路は、入力されるバースト信号を多相のクロックでサンプリングし、バースト信号の変化点を検出することで最適な識別クロックを選択するものであり、この識別クロックを用いて最適位相での入力バースト信号の識別が可能であった。

【0003】ここで、入力されるバースト信号の位相は、バースト毎に変化し、最適位相はバースト信号毎に変化するのが一般的である。しかも、出力されるデータは、最適位相のクロックで打たれて出力されるため、バースト毎に出力データの位相が変化することになる。一方で、システム内で用いるシステムクロックは常に一定である。

【0004】このため、上記従来回路では、最適位相で識別したバースト信号をシステム内で使用する際、当該バースト信号をシステムクロックへ載せ換えるクロック載せ換え回路を併用していた。特に、この従来回路におけるクロック載せ換え回路は、最適位相で識別したバースト信号をシステムクロックの位相に合わせて保持するエラスティックバッファ等を付加した構成により実現されていた。

## 【0005】

【発明が解決しようとする課題】このように、特開平9-36849号公報に記載される如くの前記のビット同期回路では、バースト信号に対し最適な識別クロックを選択し、この識別クロックを用いることで、最適位相での入力バースト信号の識別が可能であった。

【0006】しかしながら、入力されるバースト信号の位相はバースト毎に変化し、最適位相がこれに伴って変化する結果、出力されるデータの位相もバースト毎に変化していた。これにより、従来回路では、ある一定のシステムクロックに同期したデータ得るために、回路の後段にエラスティックバッファのような付加手段が別途必要となり、回路構造が複雑化するという問題点があった。

【0007】本発明は上記問題点を除去し、エラスティックバッファ等の付加手段を用いることなく、入力されるバースト信号に対して、システムクロックに同期したデータ出力を得ることのできるビット同期回路を提供することを目的とする。

## 【0008】

【課題を解決するための手段】上記目的を達成するために、請求項1の発明は、入力されるバースト信号を多相のクロックでサンプリングし、多相のデータ列を生成する信号サンプリング手段と、前記多相のデータ列のうちの隣接する位相のデータを比較することにより前記バースト信号の変化点を検出する変化点検出手段と、前記変化点検出手段により検出された変化点に対応する位相情報を基に、前記多相のクロックの中から前記バースト信号の識別に最適な最適識別クロックを選択するクロック

(3)

3  
 選択手段と、前記最適識別クロックと前記位相情報とに基づき前記バースト信号をシステムクロックに載せ換えるクロック載せ換え手段とを具備することを特徴とする。

【0009】請求項2の発明は、請求項1の発明において、クロック載せ換え手段は、前記最適識別クロックにより前記バースト信号を識別する第1の識別手段と、前記第1の識別手段の出力データを前記位相情報に基づき前記システムクロックに対して最適に遅延させる遅延手段と、前記遅延手段の出力データを前記システムクロックにより識別する第2の識別手段とにより構成されることを特徴とする。

【0010】請求項3の発明は、請求項2の発明において、遅延手段は、前記位相情報のMSBと前記システムクロックとの排他的論理和演算を行う演算手段と、前記第1の識別手段の出力データを前記演算手段の演算結果を用いて識別する第3の識別手段とにより構成されることを特徴とする。

【0011】請求項4の発明は、請求項2の発明において、遅延手段は、前記第1の識別手段の出力データに対して各々異なる遅延時間を付与する少なくとも2つの遅延回路と、前記位相情報に基づき前記遅延回路のいずれか1つの出力を選択する遅延出力選択手段とにより構成されることを特徴とする。

【0012】

【発明の実施の形態】以下、本発明の実施の形態について添付図面を参照して詳細に説明する。図1は、本発明に係わるビット同期回路の全体構成を示すブロック回路図である。このビット同期回路は、入力されるバーストデータを多相のクロックでサンプリングし、多相のデータ列のうち隣接する位相のデータを比較することにより上記バーストデータの変化点すなわち位相を検出する変化点検出部20、変化点検出部20で検出された位相情報を基に、上記多相のクロックの中の、上記バーストデータを識別するのに最適なクロックを選択するクロック選択部30、クロック選択部30により選択されたクロックと変化点検出部20で得られた位相情報とに基づき、上記バーストデータをシステムクロックに載せ換えるクロック載せ換え部40を具備して構成される。

【0013】図2は、図1におけるビット同期回路の要部、すなわち信号サンプリング部10、変化点検出部20及びクロック選択部30の構成を示す回路図である。これらの各部のうち、信号サンプリング部10は、Dフリップフロップ（以下、DFFと略称する）101a～101hを具備して構成され、例えばシステムクロックから生成される多相のクロックCLK1～CLK8をそれぞれに用いてバーストデータをサンプリングする機能部である。

【0014】図3は、この信号サンプリング動作に係わ

る各信号のタイミングチャートである。バーストデータの入力時、各DFF101a～101hは、個別に与えられる多相クロックCLK1～CLK8〔図3(b)～(g)〕により上記入力データ〔同図(a)〕を打つことで、それぞれにQ1～Q8〔同図(h)～(m)〕のデータを出力する。なお、この例では、説明の便宜上、8相のクロックを用いているが、本発明は多相クロックの相数を8相に限るものではない。

【0015】信号サンプリング部10でサンプリングされた多相データQ1～Q8は、次段の変化点検出部20に入力される。変化点検出部20は、入力される多相データQ1～Q8について、隣接位相のデータを比較することにより上記バーストデータの変化点を検出するものである。

【0016】この変化点検出処理について、信号サンプリング部10でのCLK1及びCLK2に基づくサンプリング結果である隣接データQ1及びQ2を例に挙げて説明する。図4は、この場合の変化点検出処理に係わる回路の基本構成を示す図であり、サンプリング結果としてそれぞれ多相データQ1、Q2を出力するDFF101a、101b（信号サンプリング部10の構成要素）と、これら出力データQ1、Q2のNOR（否定和）に相当する信号を出力するNOR回路201a（変化点検出部20の構成要素）により構成される。

【0017】また、図5及び図6は、図4における基本構成回路の変化点検出動作に係わる各信号のタイミングチャートであり、特に、図5は、CLK1の立ち上がりとCLK2の立ち上がりの間にデータの変化点がある場合の動作に係わるものであり、図6は、CLK1の立ち上がりとCLK2の立ち上がりの間にデータの変化点がない場合の動作に係わるものである。

【0018】図5からも分かるように、CLK1〔同図(b)〕の立ち上がりとCLK2〔同図(c)〕の立ち上がりの間に入力データの変化点がある場合、これらCLK1及びCLK2で打たれた入力データ〔同図(a)〕は、それぞれQ1〔同図(d)〕、Q2〔同図(e)〕として出力される。ここで、NOR回路201aで、Q2の反転信号であるRQ2〔同図(f)〕とQ1そのものとCLK1とのNORをとることにより、CLK1の立ち上がりとCLK2の立ち上がりの間にデータの変化点がある場合に「H」レベルとなる変化点検出パルス〔同図(g)〕を出力することができる。

【0019】これに対し、図6に示す如く、CLK1〔同図(b)〕の立ち上がりとCLK2〔同図(c)〕の立ち上がりの間に入力データ〔同図(a)〕の変化点がない場合は、NOR回路201aで、Q2〔同図(e)〕の反転信号であるRQ2〔同図(f)〕とQ1〔同図(d)〕そのものとCLK1とのNORをとると、NOR回路201aの出力である変化点検出パルス〔同図(g)〕は「L」レベルを保持することになる。

(4)

5

【0020】以上の説明からも分かるように、ある隣接する位相のクロックの立ち上がりの中にデータの変化点がある場合に「H」レベルとなる変化点検出パルスを出力する変化点検出回路20は、例えば、図4に示すような基本構成により実現できる。この基本構成を、使用する多相クロックの相数に相当する数だけ並べた回路が図2の回路構成であり、この場合は、8相の位相のうちのどの位相に入力データの変化点が存在しても入力バーストデータの変化点を検出可能となる。

【0021】検出した変化点を示すパルスは、図5からも分かるように、短い時間しか存在しないため、最適クロックを選択するためには、当該パルスを一定時間保持する必要がある。この変化点を示す情報を保持する回路の一例を図7に示している。この例では、各変化点検出パルスP1～P8を入力し、これら各変化点検出パルスP1～P8の論理和をOR回路202でとってクロックPCLKとして出力し、このクロックPCLKをDFF203a～203hのクロックに取り込むことにより、入力された変化点検出パルスP1～P8をラッチする構成をとっている。

【0022】図8は、この変化点検出部20の動作に係わる各信号のタイミングチャートであり、特に、変化点検出パルスP1〔同図(a)〕とP2〔同図(b)〕を対象とした場合の例である。同図からも分かるように、ある変化点検出パルス(P1, P2)が「H」レベルに変化すると、その変化点検出パルスはOR回路202を通り、PCLK〔同図(c)〕として遅延されて、DFF203のクロック端子に入力される。この結果、変化点検出パルスはラッチされる。最終的に、ラッチされた信号〔P1Q, P2Q: 同図(d), (e)〕をエンコーダ204にてエンコードし、位相情報〔同図(f)〕として出力する。

【0023】更に、このエンコーダ204の後段にはセクタ301(図2参照)が設けられている。これにより、識別に最適なクロックは上記位相情報を基に当該セクタ301を通じて簡単に選択することができる。

【0024】このセクタ301により選択された識別クロックは、更に後段のクロック載せ換え部40に入力される。クロック載せ換え部40は、バーストデータを最適クロックで識別し、その後、当該バーストデータを上記位相情報を基にシステムクロックに載せ換える処理を行う。

【0025】図9は、本発明に係わるクロック載せ換え部40の一例を示す回路図であり、バーストデータと最適識別クロックを入力とするDFF401、DFF401の出力とシステムクロック及び位相情報のMSB(Most Significant Bit: 最上位ビット)との排他的論理和を入力とするDFF402、DFF402の出力とシステムクロックを入力とするDFF403、システムクロックと位相情報のMSBとの排他的論理和演算を行う排

6

他的論理和回路404により構成される。

【0026】このクロック載せ換え部40の回路動作を図10及び図11に示すタイミングチャートを参照して説明する。ここで、図10と図11のタイミングチャートの相違点は、DFF401でのバーストデータを識別するための最適識別データとして、前者では多相クロックCLK1～CLK8のうちのCLK4が入力されるのに対して、後者ではCLK6が入力されている点にある。

【0027】クロック載せ換え部40は、バーストデータを最適識別クロックにて識別し、該識別後のデータを更にシステムクロックに載せ換えるものであるが、その際、最適識別クロックとシステムクロックとの位相関係によって、上記識別後のデータをシステムクロックで打てるかどうかが決まってくる。この回路の動作タイミングチャートとして図10及び図11の2つの例を挙げているのは、この点の説明に配慮してのものである。

【0028】一般に、多相クロックはシステムクロックから生成されるため、システムクロックと多相クロックとは一定の位相関係を有している。以下の説明では、一例として、多相クロックCLK1～CLK8のうちのCLK7がシステムクロックと全く同じ位相であるものとする。

【0029】かかる前提において、クロック選択部30から与えられる最適識別クロックがCLK4である場合(CLK1, 2, 3である場合も同様)、図10に示す如く、バーストデータ入力〔同図(a)〕を上記CLK4〔同図(b)〕に基づきDFF401にて識別して得たデータQopt〔同図(d)〕については、当該データQoptの中央部付近でシステムクロックCLK7〔同図(c)〕が立ち上がるため、当該システムクロックCLK7で打つことが可能である。

【0030】これに対して、クロック選択部30から与えられる最適識別クロックがCLK6である場合(CLK5, 7, 8である場合も同様)、図11に示す如く、バーストデータ入力〔同図(a)〕を上記CLK6〔同図(b)〕に基づきDFF401にて識別して得たデータQopt〔同図(d)〕は、システムクロックCLK7〔同図(c)〕の立ち上がり付近でデータの変化点を迎えることになるため、当該システムクロックCLK7で打つことができない場合がある。

【0031】このように、最適識別クロックとシステムクロックとの位相関係によって、識別後のデータがシステムクロックで打てなくなることへの対処方法として、本発明では、位相情報を使用している。すなわち、位相情報では、CLK1～CLK8の8通りの位相を例えば以下の如く3ビットで表現している。

【0032】CLK1→位相情報「000」  
CLK2→位相情報「001」  
CLK3→位相情報「010」

50

(5)

7

CLK4→位相情報「011」  
 CLK5→位相情報「100」  
 CLK6→位相情報「101」  
 CLK7→位相情報「110」  
 CLK8→位相情報「111」

従って、この位相情報のMSBは、CLK1からCLK4では「L」となり、CLK5からCLK8では「H」となる。このMSBを用いてデータの遅延を設定することにより、いかなるクロックで識別されたデータについても、最終的にシステムクロックで打つことができるようにしている。

【0033】図9に示すクロック載せ換え部40の構成において、DFF402及び排他的論理和回路404が上記データの遅延設定を司る部分に相当する。すなわち、このクロック載せ換え部40では、DFF401の出力データすなわち最適識別クロックで打たれたデータが再度DFF402に輸入される。このDFF402のクロック入力、排他的論理和回路404の出力であり、システムクロック（CLK7）と位相情報のMSBとの排他的論理和をとって論理を反転した信号CLK0となっている。かかる構成によれば、位相情報のMSBが「L」の時、すなわち最適識別クロックがCLK1からCLK4の時、図10に示すように、DFF402のクロック入力CLK0【同図（e）】はCLK7そのものとなり、データを正確に再生できるようになる。

【0034】一方、位相情報のMSBが「H」の時、すなわち最適識別クロックがCLK5からCLK8の時、図11に示すように、DFF402のクロック入力CLK0【同図（e）】はCLK7の逆位相となり、位相情報のMSBが「L」の時と同様にデータを正確に再生できるようになる。そして、このDFF402の出力Qsyso【図10（f）、図11（f）】を、再度、システムクロック（CLK7）で打ち直すことで、システムクロックへの載せ換えがなされたデータ出力を得ることができる【図10（g）、図11（g）】。

【0035】なお、図9に示す回路構成においては、位相情報のMSBと排他的論理和を利用して、クロックを切り換える方法を採用しているが、こうしたクロックの切り換えには一般的なセレクトを用いても良い。更に、別の方法としては図12に示すような回路構成も可能である。同図におけるクロック載せ換え部40Aは、DFF411にて最適識別クロックで識別されたデータQoptを遅延回路412と遅延回路413との2経路に分離し、この2経路間の遅延時間の差を半クロック程度に設定したうえで、これら遅延回路412または遅延回路413の出力データを上述した位相情報に基づきセレクト414で選択し、更にDFF415でシステムクロックにより識別する構成としたものである。

【0036】

【発明の効果】以上説明したように、本発明によれば、

8

入力するバーストデータに対する多相のクロックによるサンプリング結果である多相のデータ列から上記バーストデータの変化点を検出し、この変化点の情報を基に選択した最適識別クロックを用いてバーストデータに対するビット同期を確立した後、更に、多相クロックとシステムクロック間に一定の位相関係があることを利用し、上記ビット同期確立後のデータを上記位相関係に基づき最適に遅延したうえでシステムクロックに載せ換えるようにしたため、外付けのエラスティックバッファ等の付加手段を用いることなく、システムクロックに同期したバースト信号受信出力を得ることができるという利点を有する。

【図面の簡単な説明】

【図1】本発明に係わるビット同期回路の全体構成を示すブロック回路図。

【図2】ビット同期回路の要部の構成を示す回路図。

【図3】図2における信号サンプリング部の動作に係わる各信号のタイミングチャート。

【図4】ビット同期回路の変化点検出部の基本構成を示す回路図。

【図5】変化点検出部のあるタイミングでの動作に係わる各信号のタイミングチャート。

【図6】変化点検出部の別のタイミングでの動作に係わる各信号のタイミングチャート。

【図7】ビット同期回路の変化点検出部の構成を示す回路図。

【図8】変化点検出部の動作に係わる各信号のタイミングチャート。

【図9】ビット同期回路のクロック載せ換え部の一構成例を示す回路図。

【図10】クロック載せ換え部のあるタイミングでの動作に係わる各信号のタイミングチャート。

【図11】クロック載せ換え部の別のタイミングでの動作に係わる各信号のタイミングチャート。

【図12】ビット同期回路のクロック載せ換え部の他の構成例を示す回路図。

【符号の説明】

10 信号サンプリング部

101a, ~, 101h Dフリップフロップ (DFF)

20 変化点検出部

201a, ~, 201h NOR (否定和) 回路

202 OR (論理和) 回路

203a, ~, 203h Dフリップフロップ (DFF)

204 エンコーダ

30 クロック選択部

301 セレクト

40, 40A クロック載せ換え部

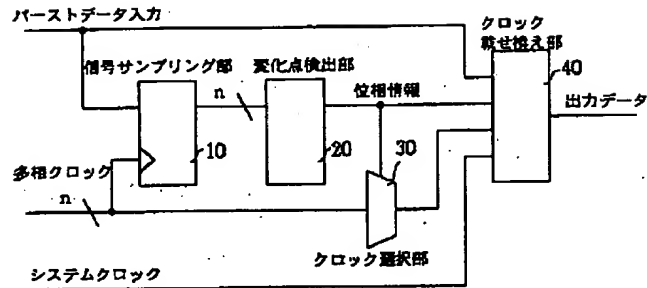
401, 402, 403, 411, 415 Dフリップ

(6)

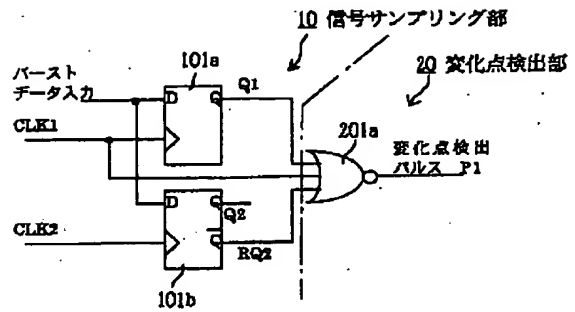
フロップ (DFF)  
404 排他的論理和回路

412, 413 遅延回路  
414 セレクタ

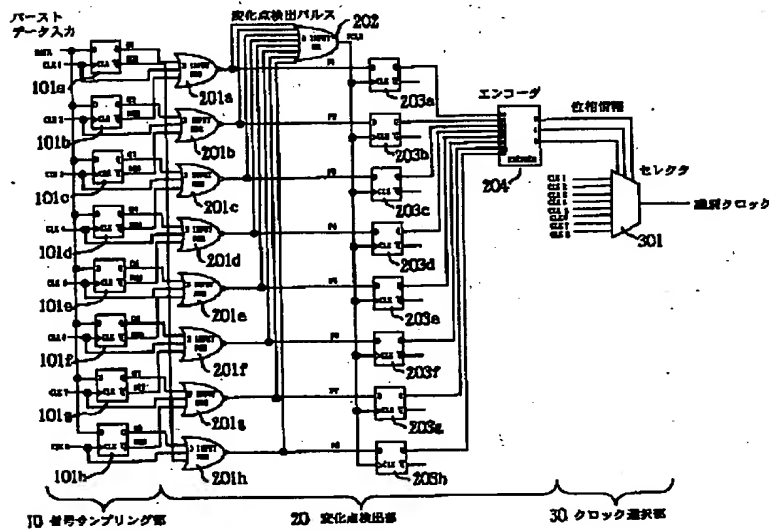
【図1】



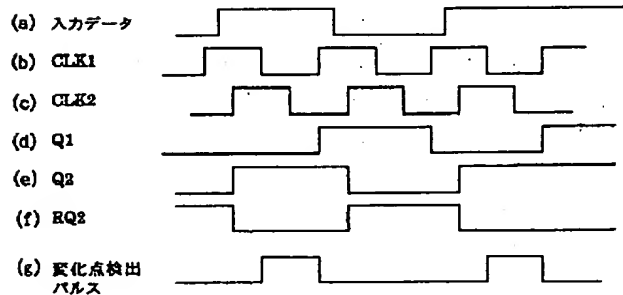
【図4】



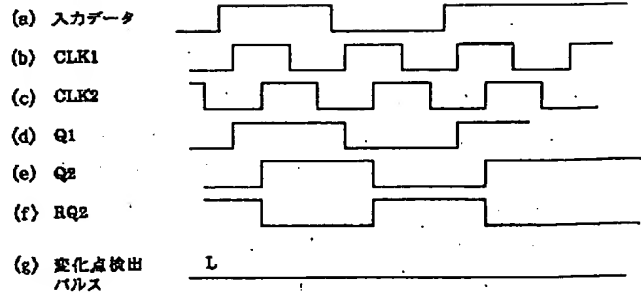
【図2】



【図5】

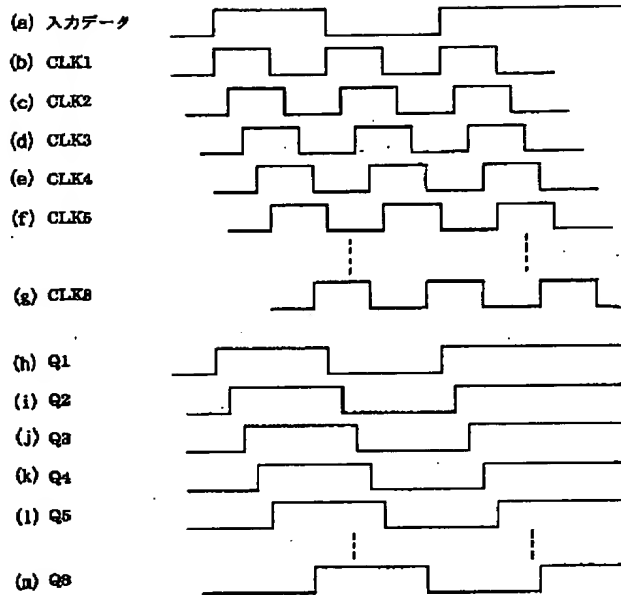


【図6】

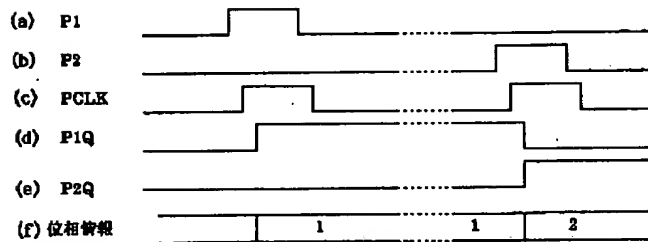


(7)

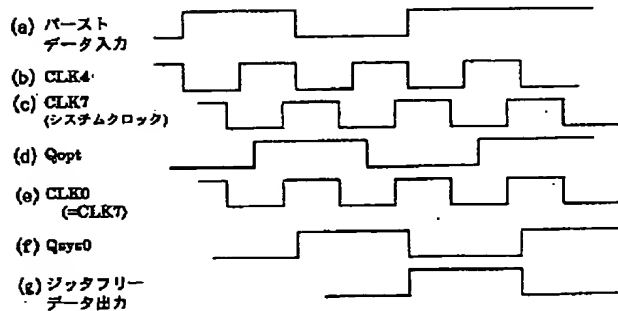
【図3】



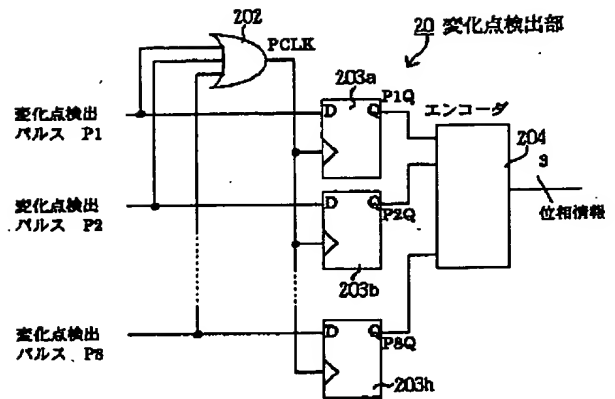
【図8】



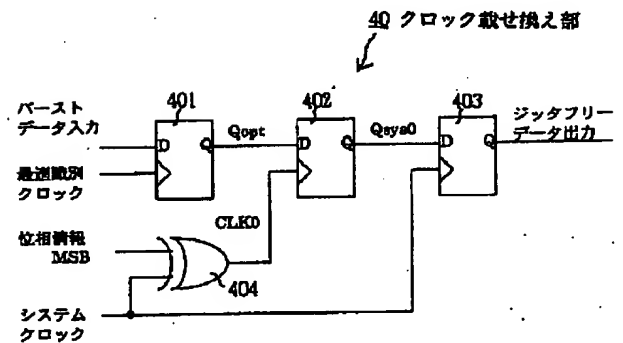
【図10】



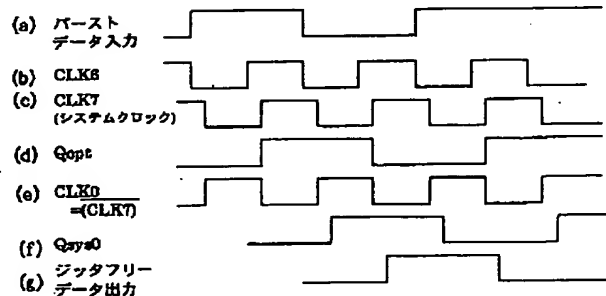
【図7】



【図9】



【図11】



(8)

【図12】

